

Tam Zamanlı Yüksek Lisans Bursiyer Pozisyonu

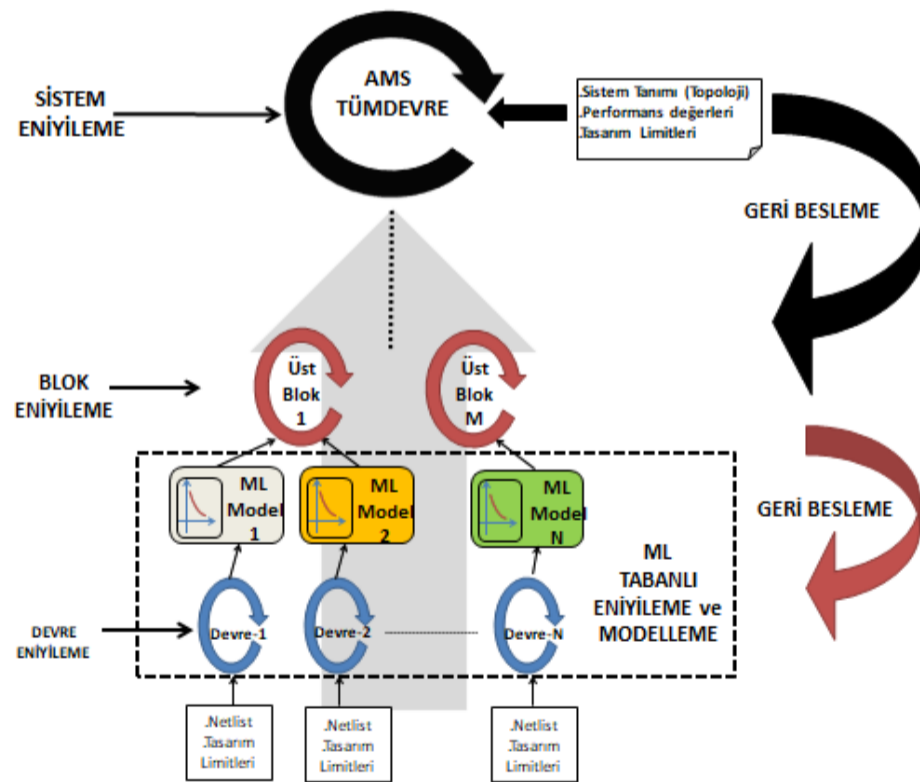
Aşağıda özeti verilen TÜBİTAK Araştırma Projesine tam zamanlı **Yüksek Lisans** bursiyer alınacaktır. Bursiyere, proje süresi olan **24 ay** boyunca TÜBİTAK'ın belirlediği üst limit olan **3.000TL/ay** burs sağlanacaktır. Bursiyer adayında aranan nitelikler;

- GTU Elektronik Mühendisliği'nde Yüksek Lisans yapıyor olmak veya Bahar dönemi başvuru yapacak olmak.
- İyi düzeyde Python/MATLAB kodlama bilgisi.
- Temel düzeyde elektronik ve elektronik devre simülasyonu (SPICE) bilgisi.
- Makine öğrenmesi, yapay sinir ağları bilgisi (Tercihen)
- Optimizasyon Algoritmaları bilgisi (NSGA-2, MOEA/D, PSO vb.) (Tercihen)
- İyi düzeyde İngilizce bilgisi (okuma ve yazma).

Pozisyon ile ilgilenenler güncel özgeçmişlerini enginafacan@gtu.edu.tr adresine gönderebilirler.

Analog/RF Tümdevrelerin Makine Öğrenmesi Tabanlı HiYerarşik Eniyilenmesi (ATÖLYE)

Günümüz tümdevrelerinin yüksek performanslı ölçütleri, sistemin karmaşıklığı (birçok farklı ve doğrusal olmayan alt devreler içermesi) ve zorlayıcı piyasa koşulları göz önüne alındığında, analog/RF tümdevrelerin bir tasarımcı tarafından manuel olarak yapılması oldukça zor, zaman alıcı ve maliyetli bir iştir. Bu soruna çözüm olarak özellikle son 20 yılda çeşitli analog/RF devre eniyileyici araçları geliştirilmiştir. Geliştirilen bu araçlar çoğu zaman karmaşık bir sistem yerine alt blok seviyesinde temel analog/RF devrelerin otomatik olarak tasarlanması ve fiziksel serimlerinin yapılmasına odaklanmıştır. Sistem seviyesinde tasarımların otomatik hale getirilmesi için ise bir tasarımcının izlediği gibi hiyerarşik tabanlı sentezleme araçları geliştirilmektedir. Literatürde önerilen hiyerarşik devre eniyileme araçlarının temel iki problemi vardır. Bunlardan birincisi benzetim tabanlı eniyileme süresinin pratik limitleri aşacak derecede uzamasıdır. Diğer yandan, davranışsal veya analitik modellerin kullanıldığı araçlarda ise sonuçların doğruluğu tartışmaya açıktır. Peki, Analog/RF tümdevrelerin hiyerarşik olarak sentezlenmesini etkinliğinin artırılarak aynı zamanda doğruluğundan da ödün vermeyecek şekilde gerçekleştirecek bir araç geliştirmek mümkün müdür? ATÖLYE projesinde geliştirilecek araç bu soruya karşılık üretecektir: "EVET".



Şekil 1. ATÖLYE genel akış diyagramı.

ATÖLYE için genel bir akış diyagramı Şekil 1'de gösterilmiştir. ATÖLYE projesi karmaşık Analog/RF sistemlerin makine öğrenmesi (MÖ) tabanlı hiyerarşik sentezlenmesini sağlayacak yeni bir araç geliştirmeyi amaçlamaktadır. Son yıllarda MÖ birçok farklı alanda uygulanmış ve uygulandığı alanlarda farklı yönlerde önemli ilerlemeler sağlamış ve sağlamaya devam etmektedir. Devre tasarımı probleminde MÖ'nün kullanılması daha önce literatürde denenmiş fakat eniyileme sürecinde MÖ'den faydalanılması ve devre tasarım araçlarının etkinliğinin artırılması araştırmaları son yıllarda popüler hale gelen güncel bir araştırma konusudur. Bunun yanında karmaşık bir sistemin otomatik olarak sentezlenmesi problemi henüz tam olarak çözülmüş değildir. ATÖLYE karmaşık analog/RF sistemlerin otomatik olarak sentezlenmesini sağlarken bir yandan da MÖ ile devre topolojilerini öğrenecek. Bu sayede zaman açısından pahalı transistor seviyesi benzetimleri yerine yüksek seviye alt seviye modelleri kullanarak sistem seviyesindeki sentezleme süresini kısaltacaktır.